

CLIPPEDIMAGE= JP405082775A

PAT-NO: JP405082775A

DOCUMENT-IDENTIFIER: JP 05082775 A

TITLE: SEMICONDUCTOR DEVICE HAVING MISFET CONTROL TYPE  
THYRISTOR

PUBN-DATE: April 2, 1993

INVENTOR-INFORMATION:

NAME

UENO, KATSUNORI

ASSIGNEE-INFORMATION:

NAME

FUJI ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP03243429

APPL-DATE: September 24, 1991

INT-CL (IPC): H01L029/74

US-CL-CURRENT: 257/107

ABSTRACT:

PURPOSE: To realize a semiconductor device capable of controlling high current by suppressing a discontinuity in voltage-current characteristics and generation of latch-up with high dielectric strength and low resistance of the whole device in a semiconductor device having a low ON-resistance MOS control type thyristor.

CONSTITUTION: A P-type first base layer 23, an N-type floating emitter layer 24, and a P-type second base layer 25 are successively formed with high precision in an N<SP>-</SP> type base layer 14 by double diffusion method,

thereby decreasing the resistance of MOS. Formation of a source layer 17 inside the second base layer 25 to restrict current flowing through the second base layer 25 allows a thyristor mode to be realized earlier and a parasitic thyristor to be prevented from making continuity.

COPYRIGHT: (C)1993,JPO&Japio

(11)特許出願公開番号

特開平5-82775

(43)公開日 平成5年(1993)4月2日

### 技術表示箇所

N 7013-4M

審査請求 未請求 請求項の数 6 (全 9 頁)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

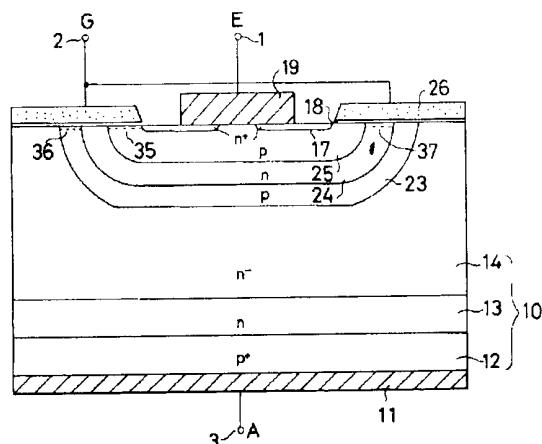
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 MISFET制御型サイリスタを有する半導体装置

(57) 【要約】

【目的】 オン抵抗の低いMOS制御型のサイリスタを有する半導体装置において、高耐圧で装置全体の抵抗を低く、電圧・電流特性における不連続性を抑制し、さらに、ラッチアップの発生を抑制して高電流の制御が可能な半導体装置を実現する。

【構成】 N-型のベース層14に、2重拡散法により、P型の第1ベース層23、N型のフローティングエミッタ層24、P型の第2ベース層25を精度良く順次形成し、MOSの低抵抗化を図る。そして、第2ベース層25内にソース層17を形成し、第2ベース層25を流れる電流を制限することにより、サイリスタモードの早期実現、および、寄生サイリスタの導通防止を図る。



## 【特許請求の範囲】

【請求項1】 第2導電型のベース領域上において、アノード電極の接続される第1導電型のアノード領域と対峙する位置に、2重拡散法により順次積層された第1導電型の第1ベース領域、第2導電型のエミッタ領域、第1導電型の第2ベース領域と、この第1導電型の第2ベース領域内に形成されたエミッタ電極の接続される第2導電型のソース領域と、この第2導電型のソース領域と前記第2導電型のエミッタ領域とを接続する第1のMISFETと、この第2導電型のエミッタ領域と第2導電型のベース領域とを接続する第2のMISFETとを有することを特徴とするMISFET制御型サイリスタを有する半導体装置。

【請求項2】 請求項1において、前記第2導電型のソース領域から前記第1導電型の第2ベース領域、第2導電型のエミッタ領域、第1導電型の第1ベース領域、第2導電型のベース領域に亘ってゲート絶縁膜を介して設置されたゲート電極を有することを特徴とするMISFET制御型サイリスタを有する半導体装置。

【請求項3】 エミッタ電極の接続される第2導電型のソース領域と第1のMISFETにより接続された第2導電型のエミッタ領域を介して、この第2導電型のエミッタ領域と、第1導電型の第1ベース領域と、第2導電型のベース領域と、第1導電型のアノード領域とにより構成されるサイリスタを制御するMISFET制御型サイリスタを有する半導体装置において、前記第1のMISFETを構成する前記第2導電型のソース領域と第2導電型のエミッタ領域との間に形成された前記エミッタ電極の接続される第1導電型の第2ベース層と、前記第1導電型の第1ベース領域とを前記サイリスタのオフ時に短絡する短絡用MISFETを有することを特徴とするMISFET制御型サイリスタを有する半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記第1導電型の第1ベース領域と第2ベース領域とが、前記第2導電型のエミッタ領域により分離されていることを特徴とするMISFET制御型サイリスタを有する半導体装置。

【請求項5】 請求項4において、前記第1導電型の第1ベース領域と第2ベース領域とが前記第2導電型のエミッタ領域により分割されていることを特徴とするMISFET制御型サイリスタを有する半導体装置。

【請求項6】 請求項4において、前記第1導電型の第1ベース領域と第2ベース領域とが1部において接続されていることを特徴とするMISFET制御型サイリスタを有する半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、高耐圧下において大電

流を制御できるパワー半導体装置であって、ゲート回路の消費電力の少なく、スイッチング特性の優れたMISFET制御型サイリスタを有する半導体装置に関するものである。

## 【0002】

【従来の技術】 高耐圧下において大電流の制御を行うパワー半導体は、電流導通時の電位降下、すなわち、オン電圧が低く、さらに、電流のオン・オフ、すなわちスイッチングを高速で行なえるものが要求されている。このような要求から、パワーMOSFETと比較しオン電圧が低く、バイポーラトランジスタと比較し高速スイッチングの可能な絶縁ゲートバイポーラトランジスタ(IGBT)、さらにオン電圧の低いMOSゲートによりサイリスタを制御する半導体装置などの開発が急がれている。

【0003】 図6に、ターンオフ時のゲート電流の消費を抑え、さらに、高速のスイッチングの可能なMOS制御型のサイリスタ素子の断面図を示してある。また、図7に、この素子の等価回路を示してある。本素子は、エミッタスイッチサイリスタ(Emitter Switched Thyristor:以下EST)、あるいはIGBTトリガーサイリスタ(IGBT Triggered Thyristor:以下ITT)などと呼ばれる素子である。

【0004】 図6に示した素子は、縦型のサイリスタ素子であって、金属製のアノード電極11の設置されたP<sup>+</sup>型のアノード層12、このアノード層12の上に積層されたN型のガード層13、さらにこのN型のガード層13上に積層されたN<sup>-</sup>型のベース層14とにより構成されたシリコン薄板の基板10が用いられている。この基板10のN<sup>-</sup>型のベース層14の表面に、P型のベース層15が形成されており、このP型のベース層15の表面に、N<sup>+</sup>型のソース層17およびフローティングエミッタ層16が形成されている。そして、ゲート絶縁膜18を介して第1のゲート電極21および第2のゲート電極22となるポリシリコン層が形成されている。ソース層17およびフローティングエミッタ層16は、P型のベース層15より浅い層であって、第1のゲート電極21、ソース層17およびフローティングエミッタ層16によりNチャネル型の第1のMOS35が構成されている。また、第2のゲート電極22、フローティングエミッタ層16およびN<sup>-</sup>型のベース層14によりNチャネル型の第2のMOS36が構成されている。これらのゲート電極21および22は、接続されて同一のゲート電位により駆動されるようになっている。そして、ソース層17には、P型のベース層15と短絡するようエミッタ電極19を接触してある。このような第1および第2のMOS35、36、エミッタ電極19による複数のサイリスタ素子がこの半導体装置の表面に構成してあ

る。

【0005】上記の素子において、 $N^+$ 型のフローティングエミッタ層16、P型のベース層15および $N^+$ 型のベース層14とN型のガード層13によりNPN型のトランジスタ31が形成されている。また、P型のベース層15、 $N^+$ 型のベース層14とN型のガード層13および $P^+$ 型のアノード層12によりPNP型のトランジスタ32が形成されている。すなわち、 $N^+$ 型のフローティングエミッタ層16、P型のベース層15、 $N^+$ 型のベース層14とN型のガード層13および $P^+$ 型のアノード層11により、サイリスタ素子が構成されている。

【0006】この素子は、ゲート電極21、22に正の電位が印加されると第1および第2のMOS35、36がオンとなる。その結果、PNPトランジスタ32のベースに電流が流れるので、全体が導通状態となる。この導通状態は、IGBTと同じ状態である。そして、エミッタ電極19からベース層15に流れるベース短絡電流が多くなると、この電流に対するベース短絡抵抗39により、NPNトランジスタ31のベース電位が上昇する。従って、このNPNトランジスタ31も導通し、トランジスタ31および32により構成されるサイリスタが導通状態となる。ベース短絡抵抗39は、P型のベース層15によるものであって、このベース層15を流れる電流によりエミッタ層16直下のベース層15の電位が上昇し、NPNトランジスタ31が導通するのである。

【0007】この素子の電圧・電流特性を図8に示してある。上述したように、この素子においては、IGBTモード51を経て、サイリスタモード52に移行する。このため、IGBTモード51からサイリスタモード52に移行する際の急激な抵抗の低下により電圧が低下するので、電圧・電流特性に不連続な点53が現れている。

【0008】一方、この素子をオフ状態とするには、ゲート電極21および22に0または負の電位を印加すれば良い。これにより、MOS35および36がオフ状態となり、エミッタ層16がエミッタ電極19と絶縁されるので素子はオフ状態となる。このように、エミッタ層16がMOS35によりスイッチされるので、高速のスイッチングが可能となっている。なお、 $N^+$ 型のベース層14はオン電圧を低く抑えるために、また、N型のガード層13は空乏層の広がりを抑制して耐電位を高めるために用いられている。

【0009】

【発明が解決しようとする課題】このようなMOS制御型のサイリスタ素子は、オン電圧が低く、高速のスイッチングが可能であるため、パワー半導体として注目されているが、第1のMOS35の抵抗を小さくし素子抵抗を低減すること、連続的な電圧・電流特性を得ること、サイリスタ動作を早期に実現することによりオン抵抗を

低減すること、寄生サイリスタによるラッチアップを防止して制御可能な電流値を上昇することなどの課題がある。

【0010】まず、フローティングエミッタ層のスイッチング動作を行う第1のMOSについては、この第1のMOSがサイリスタと直列に接続されているので、サイリスタ側の抵抗が小さくなくても、第1のMOSの抵抗を下げないと素子全体の抵抗値を小さくすることができないという問題がある。第1のMOSの抵抗値を低減するためには、このMOSのチャネル長を短くする必要があり、MOSを構成する不純物層、およびゲート電極であるポリシリコン層の微細加工を行わなければならない。そして、チャネル長を短くすると、このMOSのソース・ドレイン耐圧が低下するため、素子としての特性が悪化するという問題がある。

【0011】また、上述した従来のMOS制御型サイリスタにおいては、IGBTモードからサイリスタモードに移行するために、電流・電圧特性に不連続な点があり、この素子を用いて回路を構成すると、この不連続な特性に起因したノイズなどの不具合が発生することが懸念される。

【0012】さらに、従来のMOS制御型サイリスタにおいては、P型のベース層にエミッタ電極が接続されているので、ベース層からエミッタ電極に電流が流れる。従って、エミッタ層からの電子の注入が抑制されるため、サイリスタモードの早期実現が困難である。従って、オン抵抗の低減が難しいという問題がある。

【0013】また、このMOS制御型サイリスタにおいては、図7に破線で示すように、 $N^+$ 型のソース層17、P型のベース層15および $N^+$ 型のベース層14とN型のガード層13によるNPN型のトランジスタ33が寄生している。従って、電流が増加し、この寄生トランジスタ33がオン状態となると、トランジスタ33と32によるサイリスタが導通するラッチアップ状態となり、電流制御が不可能となる。このため、この素子により制御可能な電流の上限は、ラッチアップ状態とならない範囲に制限される。特に、従来のMOS制御型サイリスタのオン状態においては、エミッタ層直下のP型のベース層の電位が高くなっているため、少数キャリアの濃度が高い。そして、これに付随して、ソース層直下のベース層にも少数キャリアが集まっているので、ラッチアップが発生し易い状況になっていると言える。

【0014】そこで、本発明においては、上記の問題に鑑みて、積層されたフローティングエミッタ層、ベース層を用いることにより、低抵抗、高耐圧で、連続した電流電圧特性を有し、さらに、制御できる電流の上限の高いサイリスタを有する半導体装置の実現を目的としている。

【0015】

【課題を解決するための手段】上記の課題を解決するた

5

めに、本発明においては、第1導電型のベース領域を第1のベース領域と第2のベース領域の2つに分割し、これらのベース領域と第2導電型のエミッタ領域とを2重拡散法により順次積層するようにしている。すなわち、本発明に係るMISFET制御型サイリスタを有する半導体装置においては、第2導電型のベース領域上の、アノード電極の接続される第1導電型のアノード領域と対峙する位置に、2重拡散法により順次積層された第1導電型の第1ベース領域、第2導電型のエミッタ領域、第1導電型の第2ベース領域と、この第1導電型の第2ベ

ース領域内に形成されたエミッタ電極の接続される第2導電型のソース領域と、この第2導電型のソース領域と第2導電型のエミッタ領域とを接続する第1のMISFETと、この第2導電型のエミッタ領域と第2導電型のベース領域とを接続する第2のMISFETとを有することを特徴としている。

【0016】この半導体装置において、第2導電型のソース領域から第1導電型の第2ベース領域、第2導電型のエミッタ領域、第1導電型の第1ベース領域、第2導電型のベース領域に亘ってゲート絶縁膜を介してゲート電極を設置することにより、上記の第1および第2のMISFETに加え、さらに、第1ベース領域と第2ベ

ース領域を短絡するための短絡用MISFETが形成された半導体装置とすることが有効である。

【0017】すなわち、本発明に係るエミッタ電極の接続される第2導電型のソース領域と第1のMISFETにより接続された第2導電型のエミッタ領域を介して、この第2導電型のエミッタ領域と、第1導電型の第1ベ

ース領域と、第2導電型のベース領域と、第1導電型の

アノード領域とにより構成されるサイリスタを制御するMISFET制御型サイリスタを有する半導体装置においては、第1のMISFETを構成する第2導電型のソース領域と第2導電型のエミッタ領域との間に形成されたエミッタ電極の接続される第1導電型の第2ベース層と、第1導電型の第1ベース領域とをサイリスタのオフ時に短絡する短絡用MISFETを有することが望ましい。

【0018】このようなMISFET制御型サイリスタを有する半導体装置において、第1導電型の第1ベ

ース領域と第1導電型の第2ベース領域とが、第2導電型のエミッタ領域により分離されていることが有効であり、分離された第1導電型の第1ベース領域と第1導電型の第2ベース領域は、完全に独立するように第2導電型のエミッタ領域により分割されたものであっても、また、1部において接続されたものであっても良い。

【0019】

【作用】このように、第1導電型のベース領域を第1の

ベース領域と第2のベース領域の2つに分割し、これらの

ベース領域とフローティングエミッタ領域である第2

導電型のエミッタ領域とを2重拡散法により順次積層さ

6

れるので、第1および第2のMISFETのチャネル長は拡散により決定される。従って、フォトエッチングの精度による制限を受けずに、チャネル長を精度良く短くMISFETが形成され、サイリスタと直列に繋がる第1のMISFETの抵抗は低減される。従って、本発明に係る半導体装置の低抵抗化が実現される。

【0020】さらに、2重拡散法を用いて各領域を積層することにより、各領域の境界には、不純物濃度の低下した低濃度領域が形成される。このため、MISFETのオフ状態における電界がこの低濃度領域に分散されるので、電界集中が緩和され、耐圧の向上が図られる。

【0021】また、第1導電型のベース領域を第1ベース領域と第2ベース領域に分割して、第1ベース領域、エミッタ領域、そして第2ベース領域と順次積層することにより、サイリスタ半導体装置の第1導電型のベース領域を構成する第1ベース領域が、エミッタ電極とは直接に接続されない。従って、サイリスタの第1導電型のベース領域からエミッタ電極に流れる電流が低減されるので、サイリスタモードが早期に実現される。

【0022】さらに、エミッタ電極と接続された第1導電型の第2ベース領域と、サイリスタを構成する第1ベース領域との間に、第2導電型のエミッタ領域が形成されているので、第2ベース領域により構成される寄生サイリスタが導通状態となる電流が低減される。従って、本発明に係る半導体装置においては、ラッチアップの発生が抑制されており、制御できる電流量を増加できる。

【0023】また、この半導体装置の停止時に、第1導電型の第1ベース領域と、第2ベース領域を短絡用MISFETを用いて短絡することにより、第1ベース領域に掃き出されるホール電流を第2ベース領域に吸収できるので、エミッタ領域が早期に分離される。従って、この半導体装置のオフ特性が向上され、さらに、テール電流も低減される。本発明に係る半導体装置においては、この短絡用MISFETを第1および第2のMISFETを含めて、第2導電型のソース領域から2重拡散法により積層された第1導電型の第2ベース領域、第2導電型のエミッタ領域、第1導電型の第1ベース領域、第2導電型のベース領域に亘ってゲート絶縁膜を介してゲート電極を設置することにより、容易に形成することができ

【0024】このような半導体装置において、第1導電型の第1ベース領域と第1導電型の第2ベース領域とが、第2導電型のエミッタ領域により分割されて独立している場合は、初期からサイリスタによる導通状態となるので、連続的な電圧・電流特性がえられ、また、ラッチアップの発生も抑制される。一方、分離された第1導電型の第1ベース領域と第1導電型の第2ベース領域とが1部において接続されている場合は、電圧・電流特性に不連続な点が生じてしまうが、オフ時において第1ベ

ース領域から第2ベース領域へ大きな短絡電流が確保されるので、高速スイッチングが可能となる。

【0025】

【実施例】以下に図面を参照して、本発明の実施例を説明する。

【0026】〔実施例1〕図1に、実施例1に係るMOS制御型サイリスタ素子の断面を示してある。本例の素子も、従来と同様に、縦型のサイリスタ素子であって、金属製のアノード電極11の設置されたP<sup>+</sup>型のアノード層12、このアノード層12の上に積層されたN型のガード層13、さらにこのN型のガード層13上に積層されたN<sup>-</sup>型のベース層14とにより構成されたシリコン薄板の薄板10が用いられている。そして、この基板10のN<sup>-</sup>型のベース層14の表面に、2重拡散法による深いP型の第1ベース層23が形成されている。このP型の第1ベース層23の内側に、N型のフローティングエミッタであるエミッタ層24、P型の第2ベース層25とが、順々に2重拡散法により積層されており、第1ベース層23と、第2ベース層24とはエミッタ層24により分割されている。また、これら3つの層23、24、25は、各層の端部が基板表面に到達するように、断面がほぼU字型となるサンドイッチ状に形成されている。

【0027】さらに、最も内側に積層されているP型の第2ベース層25の表面に、2つのN<sup>+</sup>型のソース層17が形成されており、この2つのソース層17に亘って、エミッタ電極19が設置されている。そして、このエミッタ電極19は、ソース層17および、このソース層17の間で第2ベース層25と接続されている。また、このエミッタ電極19の周囲には、ゲート酸化膜18を介してポリシリコン製のゲート電極26が設置されている。このゲート電極26は、ソース層17の端部から、第2ベース層25、エミッタ層24、第1ベース層23、さらにN<sup>-</sup>型のベース層14に亘って設置されている。従って、このゲート電極26に正の電位が印加されるとソース層17、第2ベース層25およびエミッタ層24からなるNチャネル型の第1のMOS35と、エミッタ層24、第1ベース層23およびN<sup>-</sup>型のベース層14からなるNチャネル型の第2のMOS36が構成される。一方、負の電位が印加されると、第2ベース層25、エミッタ層24および第1ベース層23からなるPチャネル型のMOS37が構成される。これらのMOS35、36、37のチャネルを構成する各層、すなわち、第2ベース層25、エミッタ層24、第1ベース層23は、上述したように、2重拡散法を用いて積層されているので、各MOSのチャネル長は拡散によって決定される。従って、フォトリソグラフィによる精度の影響を受けないので、微細加工が可能であり、チャネル長を精度良く容易に短縮することができる。このため、MOSの低抵抗化が可能となる。

【0028】さらに、拡散法を用いているので、各層23、24、25の境界領域には、不純物濃度の低い領域が形成される、このため、各MOS35、36、37のオフ状態において、層端部に集中し易い電界が分散され、耐圧の高いMOSを実現することになる。従って、素子の耐圧の向上を図ることが可能となる。

【0029】図2に、本素子に関する等価回路を示してある。本例の素子において、上述した従来の素子と同様に、N型のフローティングエミッタ層24、P型の第1ベース層23およびN<sup>-</sup>型のベース層14とN型のガード層13によりNPN型のトランジスタ31が形成されている。また、P型の第1ベース層15、N<sup>-</sup>型のベース層14とN型のガード層13およびP<sup>+</sup>型のアノード層12によりPNP型のトランジスタ32が形成されている。すなわち、N型のフローティングエミッタ層24、P型の第1ベース層23、N<sup>-</sup>型のベース層14とN型のガード層13およびP<sup>+</sup>型のアノード層11により、サイリスタ素子が構成されている。

【0030】この素子は、ゲート電極26に正の電位が印加されると第1および第2のMOS35、36がオンとなる。その結果、N<sup>+</sup>型のソース層17からエミッタ層24を介してN<sup>-</sup>型のベース層14に電子が注入され、これと対応してP<sup>+</sup>型のアノード層12から、正孔がN<sup>-</sup>型のベース層14に注入される。そして、第1ベース層23に到達した正孔は、エミッタ層24に注入され電子と再結合することによりサイリスタが導通状態となる。この状態においては、電子がMOS36による表面チャネルのみならず、エミッタ層24と第1ベース層23の接合面から直接注入されるようになるので、導通時の抵抗は非常に低くなる。この状態は、従来のITTと同様であり、本発明者らによる論文(Proceedings of the 3rd International Symposium on Power Semiconductor Devices and ICs に発表された論文 NUMERICAL ANALYSIS OF SWITCHING IN THE IGBT TRIGGERED THYRISTOR)に詳しく解析されている。このように、本例の素子においては、第1ベース層23が、エミッタ電極19と接触していないので、第1ベース層23からエミッタ電極19に直接流れる電流がなく、初期からサイリスタモードによる導通状態となる。従って、図8に示したようなIGBTモードからサイリスタモードに移行する際における電圧・電流特性の不連続性がなく、連続的な電圧・電流特性を持つ素子を実現することができる。さらに、初期からサイリスタモードによる導通状態が実現されるので、オン抵抗を低減することができる。

【0031】また、従来のITTにおいては、P型のベース層がサイリスタの構成層として、また、第1のMOS35を構成するチャネル層として共用されているので、このP型のベース層を介してエミッタ電極19に繋がるサイリスタが寄生していた。そして、このベース層を流れる電流によりこの寄生サイリスタが導通状態とな

るラッチアップの発生を考慮する必要があった。しかしながら、本例の素子においては、このベース層は、第1および第2ベース層23、25に、エミッタ層24により分割されている。従って、第2ベース層23による寄生サイリスタは、エミッタ層24の内側に形成されており、この寄生サイリスタをトリガーするような電流は殆ど第2ベース層23には流れない。このため、ラッチアップの発生は抑制できるので、本例の素子により制御する電流を大幅に増加することが可能である。

【0032】一方、本例の素子をオフ状態にするには、ゲート電極26に印加される電圧を負とすれば良い。すなわち、ゲート電極26に負の電位が印加されると、第1および第2のMOS35、36はオフ状態となり、エミッタ層24とエミッタ電極19との接続が遮断されるので、この素子はオフ状態となる。さらに、第1ベース層23と、第2ベース層22を短絡するように、Pチャネル型の短絡用MOS37がオン状態となるので、第1ベース層23からエミッタ層24に注入されていた正孔電流が第2ベース層25を介してエミッタ電極19から放出される。このため、エミッタ層24と第1ベース層23とはPN接合により分離され、サイリスタ状態を早期にオフ状態として、本例の素子のオフ特性を改善することができる。さらに、エミッタ層24に正孔がチャージされることがなく、この素子のオフ状態におけるテール電流の減少を図ることができる。

【0033】図3および図4に、本例の素子の製造方法の一例を示してある。まず、(1)に示すように、N型のベース層14まで形成された基板10上に、ゲート酸化膜18を形成し、その上に、ゲート電極26となるポリシリコンなどをCVD等により積層する。そして、(2)に示すように、このポリシリコンをパターンニングした後、エッチングを行い、ポリシリコンをゲート電極26の形に形成する。次に、(3)に示すように、エッチングしたポリシリコンをマスクとして、P型の第1ベース層23を形成するためのP型の不純物イオン41を注入し、P型の不純物層42を形成する。そして、(4)に示すように、これを拡散してP型の第1ベース層23を形成する。同様に、(5)では、N型のエミッタ層24を形成するためのN型の不純物イオン43を注入して、N型の不純物層44を形成し、(6)において、これを拡散してエミッタ層24を形成する。さらに、このエミッタ層24上に、(7)において、P型の不純物イオン41を注入し、P型の不純物層42を形成し、(8)において、これを拡散してP型の第2ベース層25を形成する。次に、(9)に示すように、この第2ベース層25の表面にフォトリジスト膜45を用いて、N型の不純物イオン43を注入して、N<sup>+</sup>型のソース層17を形成する。そして、(10)において、ソース層17にエミッタ電極19を設置することにより、素子が完成する。

【0034】〔実施例2〕図5に、実施例2に係るMOS制御型サイリスタを有する半導体装置の断面を示してある。本例の素子も、縦型の素子であり、実施例1と同様に、金属製のアノード電極11の設置されたP<sup>+</sup>型のアノード層12、N型のガード層13、およびN<sup>-</sup>型のベース層14とにより構成されたシリコン薄板の基板10が用いられている。そして、この基板10のN<sup>-</sup>型のベース層14の表面に、2重拡散法によりP型の第1ベース層23、N型のフローティングエミッタ層24、P型の第2ベース層25とが、順々に2重拡散法により積層されており、さらに、ゲート酸化膜18を介して設置されたポリシリコン製のゲート電極26により、第1のMOS35、第2のMOS36およびPチャネル型のMOS37が構成されていることも同様である。これらの構成、および作用については、実施例1と同様であるので、同じ番号を付して説明を省略する。また、動作においても、実施例1と同様であるので説明を省略する。

【0035】本例において着目すべき点は、エミッタ層24において分離されている第1ベース層23と、第2ベース層25が素子の中央部分27において接続されている点である。すなわち、第1ベース層23と第2ベース層25が中央の接続領域27を介して短絡されている。このため、この素子がオン状態とする場合に、この接続領域27を介して第1ベース層23からエミッタ電極19に電流が流れるので、初期においては、従来の素子と同様にIGBTモードとなる。このため、電圧・電流特性において、不連続な点が生じてしまう。しかしながら、従来の素子と比較し、本例においては、第1ベース層23と第2ベース層25とが接続している領域27の面積が限られていること、および第1ベース層23とエミッタ層24との接続面が、第2ベース層25とソース層17との接続面より深い位置にあることより、第1ベース層23から第2ベース層25を介してエミッタ電極19に流れる電流が制限されている。このため、IGBTモードからサイリスタモードへの移行が早期に実現され、不連続性も小さくすることが可能である。もちろん、第2ベース層25を流れる電流値は小さいので、寄生サイリスタが導通することは少なく、ラッチアップの発生は抑制されている。

【0036】そして、本例の素子の特徴は、素子のオフ特性にある。すなわち、本素子においては、実施例1において説明したように、MOS37を用いて第1および第2ベース層23、25を短絡することにより、エミッタ層24を電氣的に分離し、オフ特性を改善している。これに加えて、本実施例においては、第1および第2ベース層に接続領域26が形成されているので、オフ時における短絡抵抗が削減でき、より高速のスイッチングを行うことができるのである。このように、2重拡散による第1および第2ベース層を接続する領域を形成することにより、低抵抗、高耐圧であり、電圧・電流特性の不



## 11

連続性が小さく、ラッチアップも防止され、さらに、高速のスイッチングが可能な素子を実現することができる。

【0037】なお、本例および実施例1において、アノード電極と、エミッタ電極が基板の表面および裏面に向かい合った縦型の素子に基づき説明しているが、アノード電極とエミッタ電極が同一面に形成された横型の素子であっても良いことは勿論である。

## 【0038】

【発明の効果】以上において説明したように、本発明に係るMISFET制御型サイリスタを有する半導体装置においては、2重拡散法により、第1導電型のベース領域をフローティングエミッタ領域により分離して形成することを特徴としている。従って、サイリスタを制御することができるので、本半導体装置全体の抵抗を下げることができ、また、MISFETの高耐圧化を図ることもできる。

【0039】さらに、第1導電型のベース領域をエミッタ領域により分離するようにしているので、早期にサイリスタモードによる導通を実現することが可能であり、電圧・電流特性における不連続性を抑制することができ、同時にオン抵抗の低減を図ることができる。そして、寄生しているサイリスタをトリガーする電流を抑えることができるので、ラッチアップの発生が抑制でき、高電流の制御を行うことが可能となる。また、分離したベース領域を短絡するMISFETを形成することにより、早期にサイリスタ動作を停止することが可能であり、本半導体装置により高速のスイッチングを行うことも可能である。このように、本発明に係るMISFET制御型サイリスタを有する半導体装置により、低抵抗、高耐圧であり、電圧電流特性が良く、高電流の制御が可能であり、さらに、高速のスイッチングが可能なパワーデバイスを実現することができる。

## 【図面の簡単な説明】

【図1】実施例1に係るMOS制御型サイリスタ素子の構成を示す断面図である。

【図2】図1に示す素子の等価回路を示す回路図である。

【図3】図1に示す素子の製造過程(1)～(5)を示す流れ図である。

【図4】図1に示す素子の製造過程(6)～(10)を示す流れ図である。

## 12

【図5】実施例2に係るMOS制御型サイリスタ素子の構成を示す断面図である。

【図6】従来のMOS制御型サイリスタ素子の構成を示す断面図である。

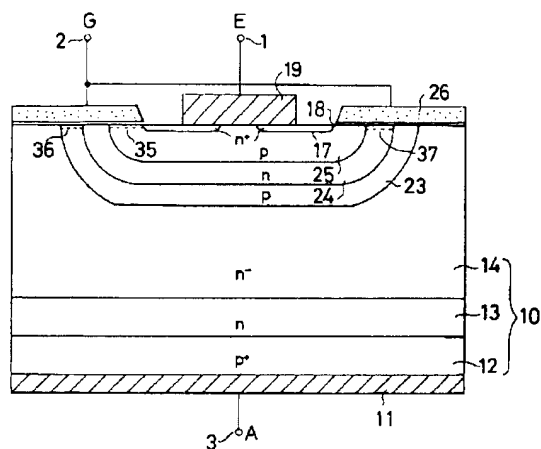
【図7】図6に示す素子の等価回路を示す回路図である。

【図8】図6に示す素子の電圧・電流特性を示すグラフ図である。

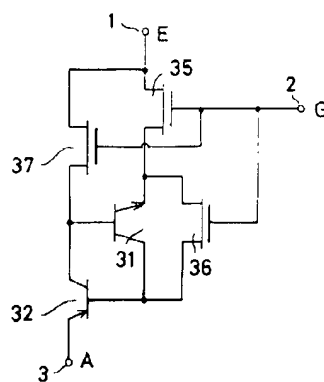
## 【符号の説明】

- |       |                      |
|-------|----------------------|
| 1     | エミッタ                 |
| 2     | ゲート                  |
| 3     | アノード                 |
| 10    | 半導体基板                |
| 11    | アノード電極               |
| 12    | アノード層                |
| 13    | ガード層                 |
| 14    | N <sup>+</sup> 型ベース層 |
| 15    | P型ベース層               |
| 16    | フローティングエミッタ層         |
| 20    | ソース層                 |
| 18    | ゲート絶縁膜               |
| 21、22 | ゲート電極                |
| 23    | P型の第1ベース層            |
| 24    | フローティングエミッタ層         |
| 25    | P型の第2ベース層            |
| 26    | ゲート電極                |
| 27    | 接続領域                 |
| 31    | NPN型のトランジスタ          |
| 32    | PNP型のトランジスタ          |
| 30    | 寄生トランジスタ             |
| 33    | 第1のMOS               |
| 35    | 第2のMOS               |
| 36    | 短絡用MOS               |
| 37    | ベース短絡抵抗              |
| 39    | P型不純物イオン             |
| 41    | P型不純物層               |
| 42    | N型不純物イオン             |
| 43    | N型不純物層               |
| 44    | フォトレジスト膜             |
| 45    | IGBTモード              |
| 51    | サイリスタモード             |
| 52    | 不連続点                 |
| 53    |                      |

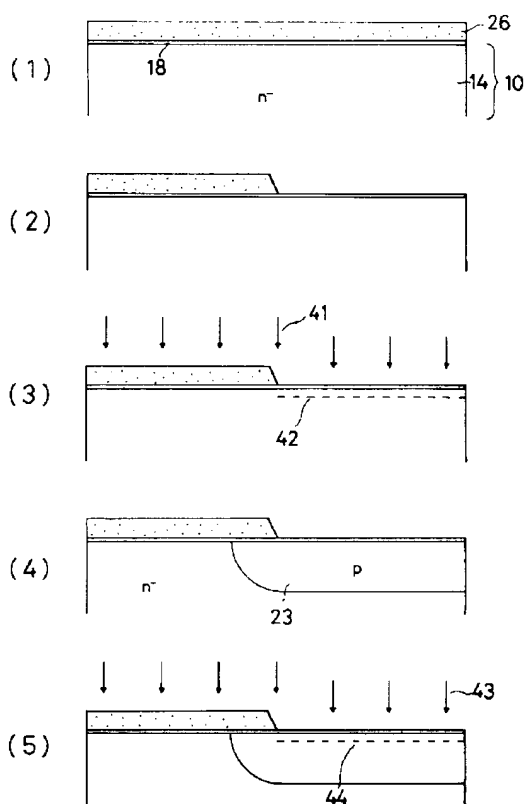
【図1】



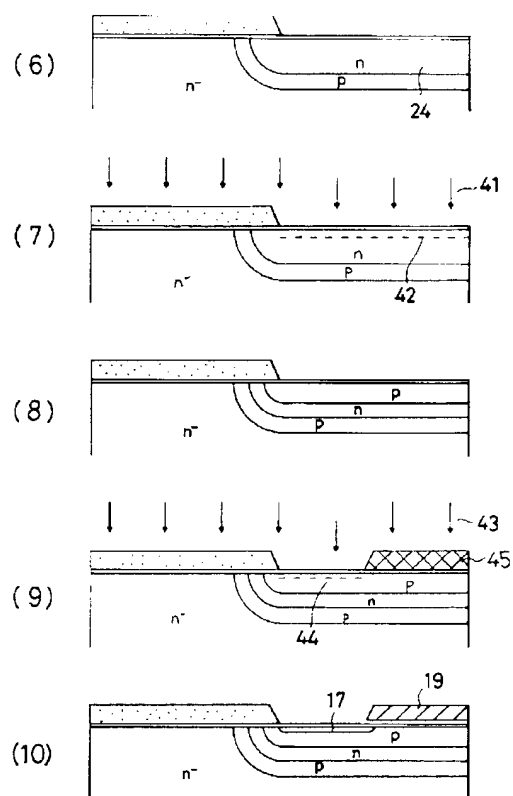
【図2】



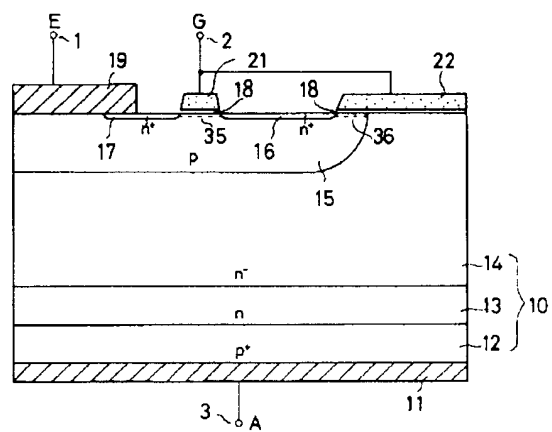
【図3】



【図4】



【図6】



【图8】

